

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-251964

(43)Date of publication of application : 28.09.1993

(51)Int.Cl. H03F 3/60
H03H 11/28
H03H 11/48

(21)Application number : 04-325178 (71)Applicant : NIPPONDENSO CO LTD
(22)Date of filing : 04.12.1992 (72)Inventor : UTSU YORIIJI
MIKAMI SHIGENOBU
KODERA MASAO

(30)Priority

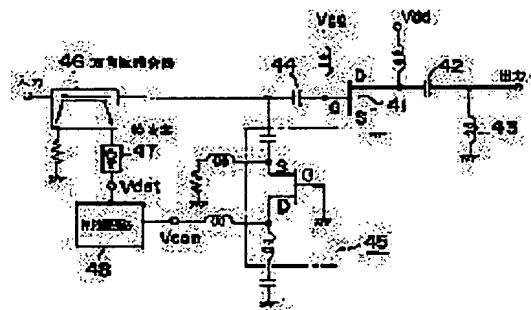
Priority number : 03340776 Priority date : 24.12.1991 Priority country : JP

(54) VARIABLE REACTANCE CIRCUIT AND VARIABLE MATCHING CIRCUIT USING THE VARIABLE REACTANCE CIRCUIT

(57)Abstract:

PURPOSE: To provide the matching circuit provided with an automatic adjustment means of a monolithic MIC in which the variable reactance circuit realizing an optional reactance is realized with low loss by the MIC.

CONSTITUTION: A matching circuit comprising reactance elements 42, 44 and variable reactance circuits 43, 45 is connected to an amplifier FET 41 comprising a monolithic MIC, and a spiral inductor is connected to a drain of a FET being a component of the circuit 45. The inductance of the spiral inductor is selected to cause a negative resistance of the FET of the variable reactance circuit 45 to cancel the resistive component of a source input impedance of the FET and the inductor acts like a pure reactance circuit whose inductance is varied with a bias V_{con} . Since the matching state of the amplifier circuit is changed and the reflecting power is changed by the bias V_{con} , the automatic input matching amplifier is realized by the control of the bias V_{con} minimizing an output V_{det} of the reflection power detection detector 47.

**LEGAL STATUS**

[Date of request for examination] 09.04.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

BEST AVAILABLE COPY

application converted registration]

[Date of final disposal for application]

[Patent number]

3381283

[Date of registration]

20.12.2002

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平5-251964

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/60		8836-5 J		
H 0 3 H 11/28		8221-5 J		
11/48	Z	8221-5 J		

審査請求 未請求 請求項の数 3 (全 5 頁)

(21)出願番号 特願平4-325178

(22)出願日 平成4年(1992)12月4日

(31)優先権主張番号 特願平3-340776

(32)優先日 平3(1991)12月24日

(33)優先権主張国 日本(JP)

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町 1 丁目 1 番地

(72)發明者 宇津 順志

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72) 發明者 三上 成信

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 小寺 正夫

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

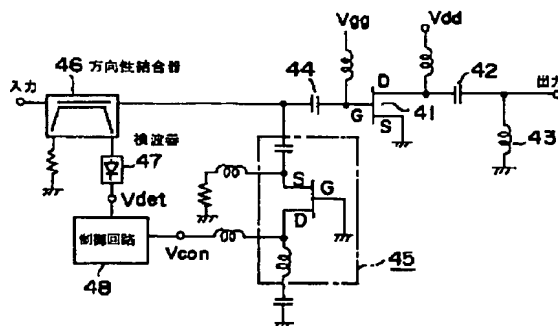
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 可変リアクタンス回路およびこれを用いた可変整合回路

(57) 【要約】

【目的】この発明は任意のリアクタンスを低損失で実現させる可変リアクタンス回路をモリシリックMIC上で実現し、且つMICの自動調整手段を備えた整合回路を提供するにある。

【構成】モノリシックMICによる増幅用FET41には、リアクタンス素子42、44、可変リアクタンス回路43、45による整合回路が接続され、この回路45を構成するFETのドレインにはスパイラルインダクタが接続される。このスパイラルインダクタは可変リアクタンス回路45のFETの負性抵抗を発生させる値が設定され、FETのソース入力インピーダンスの抵抗成分を相殺し、バイアス V_{con} で可変される純リアクタンス回路とされる。バイアス V_{con} により増幅回路の整合状態が変わり反射電力が変動するので、反射電力検出用検波器47の出力 V_{det} を微小にするバイアス V_{con} の制御で自動入力整合増幅器が構成される。



【特許請求の範囲】

【請求項1】 ゲート接地型の電界効果型トランジスタと、

この電界効果型トランジスタのソース入力インピーダンスの抵抗成分を相殺するだけの負性抵抗を発生させるために、前記トランジスタのドレイン電極と接地点との間に装荷された誘導性負荷と、

前記電界効果型トランジスタに供給されるバイアスを設定する調整可能なバイアス供給手段と、
を具備した可変リアクタンス回路。

【請求項2】 伝送線路に直列接続されたリアクタンス素子と、

前記伝送線路にソースが接続されたゲート接地型の電界効果型トランジスタを備え、この電界効果型トランジスタのドレイン電極と接地点との間に、前記トランジスタのソース入力インピーダンスの抵抗成分を相殺するだけの負性抵抗を発生させるために誘導性負荷を装荷し、前記電界効果型トランジスタにバイアス供給手段によって調整可能なバイアスを供給設定するようにした可変リアクタンス回路と、

を備えて構成した可変整合回路。

【請求項3】 前記バイアス供給手段は、前記トランジスタに供給されるバイアスを低周波数で微小変動させる低周波発生手段、前記伝送路の信号成分を検波する検波手段、この検波手段からの検波出力と前記バイアスの変動周波数成分との位相を比較する位相比較手段、この位相比較手段からの出力を積分する積分手段、さらにこの積分手段からの出力を初期バイアスに加算する加算手段を備えて構成するようにした請求項2の可変整合回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、マイクロ波もしくはミリ波帯域用の集積回路（以下M I Cと称する）に電氣的調整手段を付加するための可変リアクタンス回路に関する。

【0002】

【従来の技術】マイクロ波帯域もしくはミリ波帯域のような超高周波帯に用いられる回路装置にあっては、回路素子間の整合が良好な状態に設定されなければ、充分な回路機能を発揮することができない。しかし、使用する周波数が高くなるにしたがって回路素子の特性のばらつきと回路損失が増大する傾向にある。このため、後調整のできない固定の素子によって構成されるモノリシックM I Cにおいては歩留まりが低下するという問題が発生し、実用化を阻んでいる。

【0003】この様な理由から、ボンディングによって後調整が可能なハイブリッドM I Cを使用することが従来において主流となっている。しかし、ハイブリッドM I Cはマイクロストリップラインによる分布定数回路であるため、集中定数の数十倍の大きさを必要とするばか

りか、量産にも適さないものであることから、モノリシックM I C用の調整手段が切望されている。

【0004】これに対して、電界効果型トランジスタ（F E T）の入力インピーダンスのバイアス依存性を利用した調整手段、さらにスパイラルインダクタの線間をスイッチ手段の操作によって選択的に短絡し、インダクタンス値を調整する手段が考えられている。しかし、バイアス依存性を利用した調整手段においては、増幅用F E Tを増幅に最適のバイアス条件で使用できなくなるものであり、回路性能の劣化が問題となる。またインダクタンスを調整する手段においては、スパイラルインダクタ自身の抵抗による損失が問題となる。

【0005】その他に、可変容量ダイオードでキャパシタンスを調整する手段、可変容量ダイオードとスパイラルインダクタの共振によってリアクタンスを調整する手段が考えられている。しかし、可変容量ダイオードを使用する調整手段においては、その可変範囲が限られたものであること、および可変のためのバイアス電圧を高くする必要があること等の問題を有する。

20 【0006】図6の（A）は無損失のリアクタンス素子によって設計した理想的な増幅回路を示す。この増幅回路は、増幅用F E T 51と、このF E T 51のゲートおよびドレインに接続した直列リアクタンス52および53と、さらに並列リアクタンス54および55によってそれぞれ構成される入出力整合回路を含み構成される。

【0007】この様に整合回路においてはリアクタンス素子が必要となるものであるが、モノリシックM I Cにおいて実現可能なリアクタンス素子は限定されている。とくに、唯一の集中定数型誘導性リアクタンス素子であるスパイラルインダクタは、線路の抵抗による損失が無視できないという大きな問題を有するものであり、したがってこの回路をそのままモノリシックM I C化することはできない。このため、従来においては任意のリアクタンスを低損失で実現できる特徴を有する分布定数構成のハイブリッドM I Cが主流であった。

【0008】図6の（B）は、この様なハイブリッドM I Cによる増幅回路の例を示すもので、増幅用F E T 61に接続されたストリップライン62および63は入力整合用のリアクタンス回路であり、ストリップライン64および65は出力整合用のリアクタンス回路である。さらに、このハイブリッドM I Cは調整用パターン631、651をボンディング接続することによって、入力および出力整合回路の後調整が可能な構成となっているもので、F E T 61の特性のばらつきによる性能劣化を補正できるようにしている。

【0009】しかしながら、ボンディングによる物理的な調整手段は量産性に適さないものであり、モノリシックM I Cには適用不可能な調整手段であるため、調整の自動化が可能な電氣的調整手段が必要とされている。

50 【0010】

【発明が解決しようとする課題】この発明は上記のような点に鑑みなされたもので、モノリシックM I C上で任意のリアクタンスを低損失で実現できるようにすると共に、電氣的な調整を自動的に実行できるようにすることでモノリシックM I Cの歩留まりの向上を期待できるようにした低損失の可変リアクタンス回路を提供しようとするものである。

【0011】

【課題を解決するための手段】この発明に係る可変リアクタンス回路は、ゲート接地型の電界効果型トランジスタのドレイン電極と接地点との間に、ソース入力インピーダンスの抵抗成分を相殺するだけの負性抵抗をこの電界効果型トランジスタに発生させるように値を決めた誘導性負荷を接続し、さらに前記電界効果型トランジスタには調整可能なバイアス供給手段からバイアスを供給するようにしている。

【0012】

【作用】この様に構成される可変リアクタンス回路において、電界効果型トランジスタのドレインに接続した誘導性負荷は、例えばスパイラルインダクタによって構成されるもので、このスパイラルインダクタは線路の抵抗に相当する損失を有している。一方、ドレインに誘導性負荷を接続したゲート接地型の電界効果型トランジスタは、負性抵抗成分を有するものであり、この負性抵抗成分とゲート・ソース間の容量成分との並列回路と等価とされる。負性抵抗成分の値は誘導性負荷のインダクタンス成分の値に依存するものであり、したがってスパイラルインダクタの値を選定することによって、前記負性抵抗成分とスパイラルインダクタの抵抗成分を相殺することができ、ゲート・ソース間容量とスパイラルの誘導成分との並列回路とみなせる。ゲート・ソース間容量はバイアス依存性を有するものであるため、この回路は可変リアクタンス回路となる。

【0013】

【実施例】以下、図面を参照してこの発明の一実施例を説明する。図1は可変リアクタンス回路を整合回路として用いたモノリシックによる増幅回路を示すもので、増幅用の電界効果型トランジスタ(F E T) 11を備える。この増幅用F E T 11のゲート電極に対応する入力側、およびドレイン電極に対応する出力側には、容量による直列リアクタンス素子12および13が接続され、さらに入力側および出力側にはそれぞれ並列可変リアクタンス回路14および15が接続され、これらリアクタンス回路12~15によって整合回路が構成されるようにしている。

【0014】入力側に設定される可変リアクタンス回路14は、ゲート接地型のF E T 141を備え、このF E T 141のドレイン電極にスパイラルインダクタ142による誘導性負荷を接続すると共に、ソース電極はM I Mコンデンサ143を介して入力側に接続するようにしている。

【0015】また、出力側に設定される可変リアクタン

ス回路15は、入力側の可変リアクタンス回路14と同様にゲート接地型F E T 151を備え、このF E T 151のドレイン電極にはスパイラルインダクタ152による誘導性負荷が接続される。そして、M I Mコンデンサ153を介してソース電極が出力側に接続している。

【0016】そして、増幅用F E T 11のゲート電極およびドレイン電極には、それぞれチョークコイル161、162を介してバイアスを供給し、さらに可変リアクタンス回路14および15それぞれのF E T 141、151のソース電極はチョークコイル171および181を介して接地されるようにしている。これらF E T 141、151のドレイン電極には、それぞれチョークコイル172および182を介して、制御用のバイアスV con1およびV con2を供給する。

【0017】図2の(A)は、この様に構成される増幅回路に設定される可変リアクタンス回路14および15をバイアス回路を省略して示しているもので、ゲート接地型F E T 21のドレイン電極は誘導性負荷を構成するスパイラルインダクタ22を介して接地し、ソース電極にはM I Mコンデンサ23が接続される。

【0018】可変リアクタンス回路を構成しているモノリシック素子内のM I Mコンデンサ23は、損失が少ないものであるために同図の(B)で示す等価回路の表現においても変わらない。しかし、スパイラルインダクタ22は損失が存在するものであるため、(B)図の等価回路で示すように理想的なインダクタンス221と抵抗222の直列回路と等価となる。

【0019】また、ドレイン電極にスパイラルインダクタ22による誘導性負荷を接続したゲート接地型のF E T 21は、負性抵抗成分を有するものであり、したがって(B)図の等価回路で示すように負性抵抗211とゲート・ソース間容量212との並列回路と等価となる。

【0020】ここで、ゲート接地型F E T 21で設定される負性抵抗211の値は、F E T 21のドレイン電極に接続されるインダクタンス221の値に依存するようになる。したがって、スパイラルインダクタ22の値を適当に選定することによって、F E T 21の負性抵抗211とスパイラルインダクタ22に設定される抵抗222が相殺できるようになる。この状態の等価回路は同図の(C)で示される。

【0021】ここで、図2の(C)で示す等価回路の入力インピーダンスは、次に示すようになる。

【0022】

【数1】

$$j \left[\frac{\omega L}{1 - \omega^2 L C_{gs}} - \frac{1}{\omega C} \right]$$

この式からバイアスによるゲート・ソース容量C_{gs}の調整で任意の値の純リアクタンスが実現できることが理解できる。したがって、この回路と等価の図2の(A)の回路においても、可変リアクタンス回路が構成されるよ

うになる。

【0023】したがって、図3で示すように信号伝送路30に対して設定される直列リアクタンス31に対して並列に可変リアクタンス回路32が組み合わせ設定されるようにすれば、図6の(B)で示した整合用マイクロストリップリアクタンス回路62、63および64、65と同様の損失のほとんどない可変整合回路が構成できる。

【0024】したがって、この様な可変リアクタンス回路14および15を用いた可変整合回路によって構成される、図1で示したモノリシックMIC増幅回路は、理想的な設計である図6の(A)で示した回路とほぼ同等の性能が得られことになり、また使用するFETの特性のばらつきによる歩留まりの低下を、後調整によって抑えることも可能となる。

【0025】この様な可変リアクタンス回路を用いることによって、例えば図4で示すような自動整合機能を有する増幅器を構成することができる。この増幅器は増幅用のソース接地の電界効果型トランジスタ(FET)41を備え、そのドレイン電極側に直列リアクタンス42および並列リアクタンス43からなる出力整合回路が接続される。またゲート電極側には直列リアクタンス44と並列可変リアクタンス回路45からなる入力整合回路が接続される。そして、この様に構成される増幅器の入力側に、反射電力を取り出すための方向性結合器46を設け、この結合器46で結合され分岐された信号を電力検波器47で検波し、その検波出力 V_{det} を制御回路48に供給する。そして、この制御回路48から可変リアクタンス回路45のバイアスを制御する信号 V_{con} を出力する。

【0026】図5はこの制御回路48の具体的な構成を示すもので、検波出力 V_{det} は低周波増幅器481で増幅して位相比較器482に供給する。この位相比較器481の出力は積分器483で積分し、加算器484、485に供給する。そして、加算器484には低周波発振器486からの出力を供給し、加算器485には初期バイアスを供給すると共に、制御出力 V_{con} を出力するもので、この V_{con} は位相比較器482に対して比較信号として供給される。

【0027】この制御回路48の動作を説明すると、まず発振器486からの出力を初期バイアスに対して加算することにより、可変リアクタンス回路45のバイアス電圧 V_{con} を変動させると、この増幅器の入力インピーダンスが変化して反射電力が変動するため、検波器47からの検波出力電圧 V_{det} も同じ周波数で変動する。ここで、初期バイアスが整合時の最適バイアスより小さかったものとする、バイアス電圧 V_{con} の正方向の変動に対して反射電力が減少するようになるので、検波出力電圧 V_{det} の変動は、バイアス変動に対して逆位相となる。また、逆に初期バイアスが最適バイアスより大きければ、検波出力 V_{det} の変動はバイアス変動に対して同位相になる。

【0028】位相比較器482においては、検波器47の出

力 V_{det} とバイアス電圧 V_{con} との位相を比較し、この比較電圧が逆位相ならば正の電圧を出力し、同位相ならば負の電圧を出力する。このため、バイアス電圧 V_{con} が最適バイアスよりも小さい場合には、積分器483の出力が増大するものであり、これを加算するようになるバイアス出力 V_{con} は初期バイアスよりも大きくなって、最適バイアスに近付くようになる。また、バイアス出力 V_{con} が最適バイアスより大きい場合は、積分器483の出力が減少するため、同様にバイアス出力 V_{con} が最適バイアスに近付いて行く。

【0029】したがって、この制御回路48においては、初期バイアスの値に関係なく自動的に可変リアクタンス回路45のバイアスを最適に調整する機能を有するもので、これを用いて構成した図4の増幅器は調整の必要がない。

【0030】さらに、同様に考え方で図4で示した増幅器側の出力側に同様に方向性結合器を設け、これにより出力電圧の一部を取り出し、この電力が最大となるように出力整合用可変リアクタンス回路のバイアスを制御すれば、出力側の自動整合も同様に可能である。

【0031】

【発明の効果】以上のようにこの発明に係る可変リアクタンス回路は、例えばモノリシックMICにおいて整合回路として用いることができるものであり、任意の値のリアクタンスを低損失で実現でき、電氣的な調整も可能となるものであるため、モノリシックMICの歩留まりを大幅に向上させることができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係る可変リアクタンス回路を用いたモノリシックMICによる増幅回路を示す図。

【図2】(A)は上記実施例で使用される可変リアクタンス回路のバイアス回路を省略して示した回路図、(B)はこの可変リアクタンス回路の等価回路を示す図、(C)は(B)図の等価回路で抵抗成分が相殺された状態を示す等価回路。

【図3】可変整合回路を説明する回路図。

【図4】上記可変リアクタンス回路により構成した可変整合回路を用いた増幅器を説明する回路図。

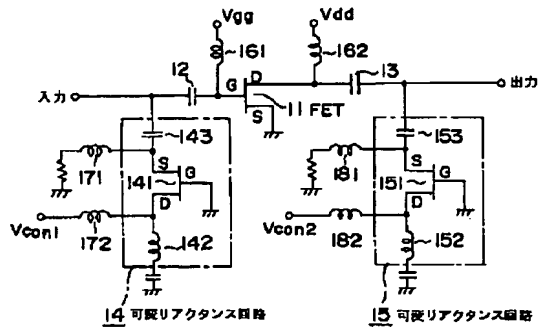
【図5】上記増幅器で使用される制御回路を説明する構成図。

【図6】(A)および(B)はそれぞれ従来の可変リアクタンス回路の例を示す図。

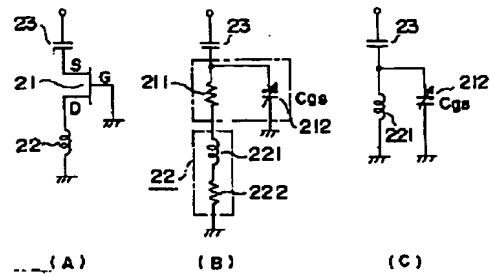
【符号の説明】

11…増幅用FET、12、13…直列リアクタンス素子、14、15、32、45…可変リアクタンス回路、141、151…ゲート接地型FET、142、152…スパイラルインダクタ、143、153…MIMコンデンサ、46…方向性結合器、47…検波器、48…制御回路。

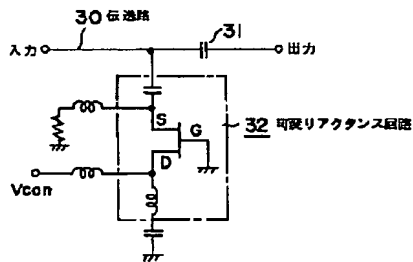
【図1】



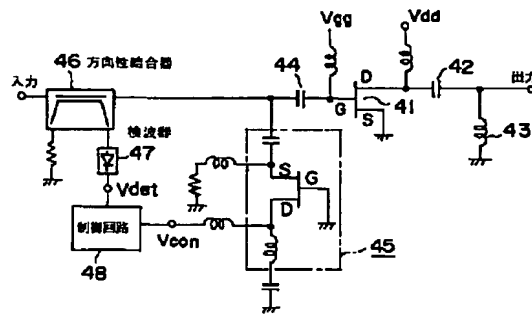
【図2】



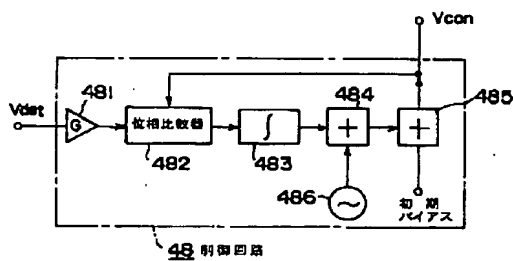
【図3】



【図4】



【図5】



【図6】

